

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2003年9月25日 (25.09.2003)

PCT

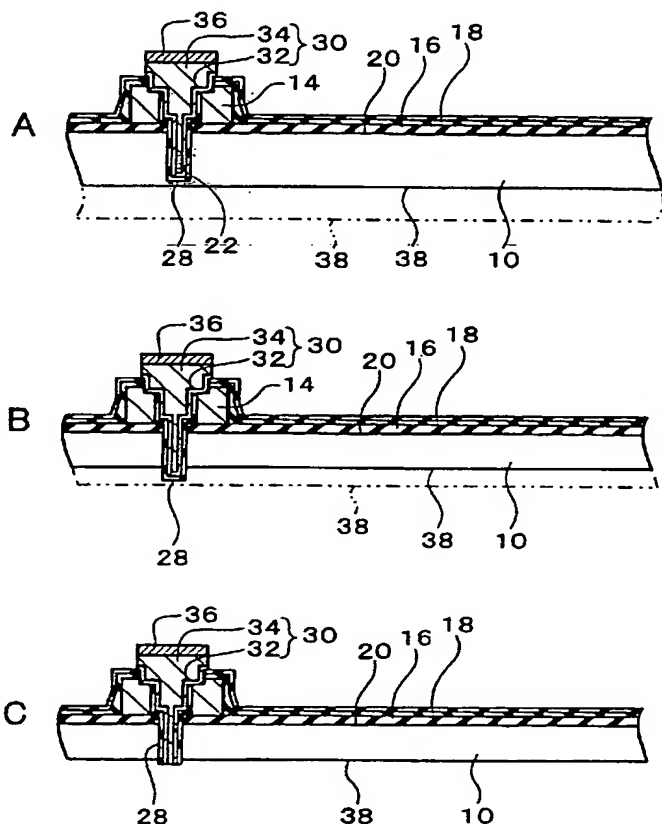
(10) 国際公開番号  
WO 03/079431 A1

- (51) 国際特許分類<sup>7</sup>: H01L 21/768, 25/065, 27/00 [JP/JP]; 〒163-0811 東京都 新宿区 西新宿 2丁目 4番 1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP03/03302
- (22) 国際出願日: 2003年3月19日 (19.03.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2002-76308 2002年3月19日 (19.03.2002) JP  
特願2003-7277 2003年1月15日 (15.01.2003) JP
- (72) 発明者; および  
(75) 発明者/出願人 (米国についてののみ): 宮沢 郁也 (MIYAZAWA, Ikuya) [JP/JP]; 〒392-8502 長野県 諏訪市 大和3丁目3番5号 セイコーエプソン株式会社 内 Nagano (JP).
- (74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都 杉並区 荻窪 5丁目2番13号 荻窪 Tビル 2階 Tokyo (JP).
- (71) 出願人 (米国を除く全ての指定国について): セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)
- (81) 指定国 (国内): CN, KR, US.

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD, CIRCUIT BOARD, AND ELECTRIC APPARATUS

(54) 発明の名称: 半導体装置及びその製造方法、回路基板並びに電子機器



(57) Abstract: A recess (22) is formed in a semiconductor substrate (10) from a first face (20). The recess (22) is provided with an insulation layer (28) on the bottom face and the inner wall face. The insulation wall (28) is provided with a conductive section (30) inside. The second face (38) of the semiconductor substrate (10) is etched with a first etchant having the property that the etching amount of the semiconductor substrate (10) is larger than that of the insulation layer (28), so that the conductive section (30) is protruded in the condition of being coated with the insulation layer (28). A part formed in the bottom of at least the recess (22) of the insulation layer (28) is etched with a second etchant having the property that at least the insulation layer (28) is etched without forming a residual in the conductive section (30), so that the conductive section (30) is exposed.

(57) 要約: 半導体基板 (10) に第1の面 (20) から凹部 (22) を形成する。凹部 (22) の底面及び内壁面に絶縁層 (28) を設ける。絶縁層 (28) の内側に導電部 (30) を設ける。半導体基板 (10) に対するエッチング量が絶縁層 (28) に対するエッチング量よりも多くなる性質の第1のエッチャントによって、半導体基板 (10) の第2の面 (38) をエッチングし、絶縁層 (28) にて覆われた状態で導電部 (30) を突出させる。導電部 (30) に残留物を形成することなく少なくとも絶縁層 (28) をエッチングする性質の第2のエッチャントによって、絶縁層 (28) のうち少なくとも凹部 (22) の底面に形成された部分をエッチングして導電部 (30) を露出させる。

WO 03/079431 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

## 明 細 書

## 半導体装置及びその製造方法、回路基板並びに電子機器

## 5     〔技術分野〕

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

## 〔背景技術〕

3次元の実装形態の半導体装置が開発されている。また、3次元の実装を可能にするため、半導体チップに貫通電極を形成することが知られている。貫通電極は、半導体チップから突出するように形成する。従来知られている貫通電極の形成方法では、貫通電極の周囲のSiからなる部分をエッチングすることで、貫通電極を突出させていた。その場合、貫通電極の突出部分がエッチングガスに汚染されないようにすることが難しかった。

15

## 〔発明の開示〕

本発明は、従来の問題点を解決するものであり、その目的は、高品質な貫通電極を形成することにある。

(1) 本発明に係る半導体装置の製造方法は、(a) 集積回路が形成された半導体基板に第1の面から凹部を形成し、

(b) 前記凹部の底面及び内壁面に絶縁層を設け、

(c) 前記絶縁層の内側に導電部を設け、

(d) 前記半導体基板に対するエッチング量が前記絶縁層に対するエッチング量よりも多くなる性質の第1のエッチャントによって、前記半導体基板の前記第1の面とは反対側の第2の面をエッチングし、前記絶縁層にて覆われた状態で前記導電部を突出させ、

(e) 前記導電部に残留物を形成することなく少なくとも前記絶縁層をエッチングする性質の第2のエッチャントによって、前記絶縁層のうち少なくとも前記凹部の前記底面に形成された部分をエッチングして前記導電部を露出させることを含む。本発明によれば、(d) 工程で導電部を突出させ、(e) 工程で導電部を露出させる。こ  
5 うして、導電部により、半導体基板から突出した貫通電極を形成することができる。また、(e) 工程で、導電部を絶縁層から露出させるときに、導電部に残留物を残さないで、高品質の貫通電極を形成することができる。

(2) この半導体装置の製造方法において、

前記第1のエッチャントは、 $\text{SF}_6$ 又は $\text{CF}_4$ 又は $\text{Cl}_2$ ガスであってもよい。(3)  
10 この半導体装置の製造方法において、

前記(d) 工程を、ドライエッチング装置を使用して行ってもよい。

(4) この半導体装置の製造方法において、

前記第1のエッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液であってもよい。

15 (5) この半導体装置の製造方法において、

前記第2のエッチャントは、 $\text{Ar}$ 、 $\text{CF}_4$ の混合ガス又は $\text{O}_2$ 、 $\text{CF}_4$ の混合ガスであってもよい。

(6) この半導体装置の製造方法において、

前記(e) 工程を、ドライエッチング装置を使用して行ってもよい。

20 (7) この半導体装置の製造方法において、

前記第2のエッチャントは、フッ酸液又はフッ酸とフッ化アンモニウムの混合液であってもよい。

(8) この半導体装置の製造方法において、

前記絶縁層を $\text{SiO}_2$ 又は $\text{SiN}$ で形成してもよい。

25 (9) この半導体装置の製造方法において、

前記(e) 工程で、前記導電部の外層部もエッチングしてもよい。

(10) この半導体装置の製造方法において、

前記導電部の前記外層部を、中心部とは異なる材料で形成してもよい。

(1 1) この半導体装置の製造方法において、

前記導電部の前記中心部をCu, W, ポリシリコンのいずれかで形成してもよい。

(1 2) この半導体装置の製造方法において、

5 前記導電部の前記外層部の少なくとも一部をTiW、TiNまたはTa<sub>2</sub>N<sub>3</sub>で形成してもよい。

(1 3) この半導体装置の製造方法において、

前記(d)工程の前に、前記半導体基板の前記第2の面を前記絶縁層の手前まで研磨することをさらに含んでもよい。

10 (1 4) この半導体装置の製造方法において、

前記(e)工程のエッチングは、前記(d)工程のエッチングよりも、前記半導体基板に対するエッチング速度が遅くてもよい。

(1 5) この半導体装置の製造方法において、

15 前記半導体基板は、半導体ウエハであり、複数の前記集積回路が形成され、それぞれの前記集積回路に対応して前記凹部を形成し、

前記半導体基板を切断することをさらに含んでもよい。

(1 6) この半導体装置の製造方法において、

前記半導体基板を切断する工程は、

20 前記第1の面に、前記半導体基板の切断ラインに沿った溝を形成すること、及び、前記溝がスリットとなるように、前記第2の面から前記溝の底部を除去すること、を含んでもよい。

(1 7) この半導体装置の製造方法において、

前記溝を切削によって形成してもよい。

(1 8) この半導体装置の製造方法において、

25 前記溝をエッチングによって形成してもよい。

(1 9) この半導体装置の製造方法において、

前記(a)工程で、前記溝を前記凹部と同じプロセスで形成してもよい。

(20) この半導体装置の製造方法において、

前記溝を、前記凹部よりも深く形成し、

前記半導体基板の前記第2の面の研磨によって、前記溝の底部を除去してもよい。

(21) この半導体装置の製造方法において、

5 前記(b)工程で、前記絶縁層を前記溝内にも設けてもよい。

(22) この半導体装置の製造方法において、

前記(d)工程で、前記溝の底部に形成された前記絶縁層を、前記第2の面から突出させ、

10 前記(e)工程で、前記第2のエッチャントによって、前記溝の底部に形成された前記絶縁層をエッチングして除去してもよい。

(23) この半導体装置の製造方法において、

前記溝の底部を除去する工程を、前記溝内に、前記半導体基板の材料が露出した状態で行ってもよい。

(24) この半導体装置の製造方法において、

15 前記(d)工程で、前記第1のエッチャントによって、前記半導体基板の一部から構成されてなる前記溝の底部をエッチングして除去してもよい。

(25) この半導体装置の製造方法において、

前記半導体基板を切断する工程を、切断された複数の半導体チップが脱落しないように、前記半導体基板の前記第1の面を保持板に貼り付けて行ってもよい。(26)

20 この半導体装置の製造方法において、

前記溝を、前記複数の集積回路を有する複数の半導体チップを区画する領域のみに形成してもよい。

(27) 本発明に係る半導体装置の製造方法は、上記方法により製造された複数の半導体装置を積層し、前記導電部を通して電気的接続を図ることを含む。

25 (28) 本発明に係る半導体装置は、上記方法によって製造されてなる。

(29) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(30) 本発明に係る電子機器は、上記半導体装置を有する。

[図面の簡単な説明]

図 1 A～図 1 D は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

5 図 2 A～図 2 D は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 3 A～図 3 C は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

10 図 4 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 5 は、本発明を適用した第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 6 は、本発明の第 1 の実施の形態に係る回路基板を示す図である。

図 7 は、本発明の第 1 の実施の形態に係る電子機器を示す図である。

15 図 8 は、本発明の第 1 の実施の形態に係る電子機器を示す図である。

図 9 A～図 9 C は、本発明を適用した第 2 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 1 0 A～図 1 0 B は、本発明を適用した第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。

20 図 1 1 A～図 1 1 B は、本発明を適用した第 4 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 1 2 は、本発明を適用した第 5 の実施の形態に係る半導体装置の製造方法を説明する図である。

25 図 1 3 は、本発明を適用した第 6 の実施の形態に係る半導体装置の製造方法を説明する図である。

[発明を実施するための最良の形態]

以下、本発明の実施の形態を、図面を参照して説明する。

(第1の実施の形態)

図1A～図3Cは、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を使用する。図1Aに示す半導体基板10は、半導体ウエハであるが半導体チップであってもよい。半導体基板10には、少なくとも1つの(半導体ウエハには複数の、半導体チップには1つの)集積回路(例えばトランジスタやメモリを有する回路)12が形成されている。半導体基板10には、複数の電極(例えばパッド)14が形成されている。各電極14は、集積回路12に電氣的に接続されている。各電極14は、アルミニウムで形成されていてもよい。電極14の表面の形状は特に限定されないが矩形であることが多い。半導体基板10が半導体ウエハである場合、複数の半導体チップとなる各領域に、2つ以上(1グループ)の電極14が形成される。

半導体基板10には、1層又はそれ以上の層のパッシベーション膜16、18が形成されている。パッシベーション膜16、18は、例えば、 $\text{SiO}_2$ 、 $\text{SiN}$ 、ポリイミド樹脂などで形成することができる。図1Aに示す例では、パッシベーション膜16上に、電極14と、集積回路12と電極を接続する配線(図示せず)とが形成されている。また、他のパッシベーション膜18が電極14の表面の少なくとも一部を避けて形成されている。パッシベーション膜18は、電極14の表面を覆って形成した後、その一部をエッチングして電極14の一部を露出させてもよい。エッチングにはドライエッチング及びウェットエッチングのいずれを適用してもよい。パッシベーション膜18のエッチングのときに、電極14の表面がエッチングされてもよい。

本実施の形態では、半導体基板10に、その第1の面20から凹部22(図1C参照)を形成する。第1の面20は、電極14が形成された側の面である。凹部22は、集積回路12の素子及び配線を避けて形成する。図1Bに示すように、電極14に貫通穴24を形成してもよい。貫通穴24の形成には、エッチング(ドライエッチング又はウェットエッチング)を適用してもよい。エッチングは、リソグラフィ工程によってパターニングされたレジスト(図示せず)を形成した後に行ってもよい。電極1



4の下にパッシベーション膜16が形成されている場合、これにも貫通穴26（図1C参照）を形成する。電極14のエッチングがパッシベーション膜16で止まる場合、貫通穴26の形成には、電極14のエッチングに使用したエッチャントを別のエッチャントに換えてもよい。その場合、再び、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成してもよい。

図1Cに示すように、貫通穴24（及び貫通穴26）と連通するように、半導体基板10に凹部22を形成する。貫通穴24（及び貫通穴26）と凹部22を合わせて、凹部ということもできる。凹部22の形成にも、エッチング（ドライエッチング又はウェットエッチング）を適用することができる。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後に行ってもよい。あるいは、凹部22の形成に、レーザ（例えばCO<sub>2</sub>レーザ、YAGレーザ等）を使用してもよい。レーザは、貫通穴24、26の形成に適用してもよい。一種類のエッチャント又はレーザによって、凹部22及び貫通穴24、26の形成を連続して行ってもよい。

図1Dに示すように、凹部22の内側に絶縁層28を形成する。絶縁層28は、酸化膜であってもよい。例えば、半導体基板10の基材がSiである場合、絶縁層28はSiO<sub>2</sub>であってもよいしSiNであってもよい。絶縁層28は、凹部22の底面に形成する。絶縁層28は、凹部22の内壁面に形成する。ただし、絶縁層28は、凹部22を埋め込まないように形成する。すなわち、絶縁層28によって凹部を形成する。絶縁層28は、パッシベーション膜16の貫通穴26の内壁面に形成してもよい。絶縁層28は、パッシベーション膜18上に形成してもよい。

絶縁層28は、電極14の貫通穴24の内壁面に形成してもよい。絶縁層28は、電極14の一部（例えばその上面）を避けて形成する。電極14の表面全体を覆って絶縁層28を形成し、その一部をエッチング（ドライエッチング又はウェットエッチング）して、電極14の一部を露出させてもよい。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後に行ってもよい。

次に、絶縁層28の内側に導電部30（図2B参照）を設ける。導電部30は、C

u又はWなどで形成してもよい。図2Aに示すように、導電部30の外層部32を形成した後に、その中心部34を形成してもよい。中心部34は、Cu、W、ドーパドポリシリコン（例えば低温ポリシリコン）のいずれかで形成することができる。外層部32は、少なくともバリア層を含んでもよい。バリア層は、中心部34又は次に説明するシード層の材料が、半導体基板10（例えばSi）に拡散することを防止するものである。バリア層は、中心部34とは異なる材料（例えばTiW、TiN、TaN）で形成してもよい。中心部34を電解メッキで形成する場合、外層部32は、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、中心部34と同じ材料（例えばCu）で形成する。なお、導電部30（少なくともその中心部34）は、無電解メッキやインクジェット方式によって形成してもよい。

図2Bに示すように、外層部32をパッシベーション膜18上にも形成した場合、図2Cに示すように、外層部32のパッシベーション膜18上の部分をエッチングする。外層部32を形成した後、中心部34を形成することで、導電部30を設けることができる。導電部30の一部は、半導体基板10の凹部22内に位置する。凹部22の内壁面と導電部30との間には絶縁層28が介在するので、両者の電氣的な接続が遮断される。導電部30は、電極14と電氣的に接続されている。例えば、電極14の絶縁層28からの露出部に導電部30が接触していてもよい。導電部30の一部は、パッシベーション膜18上に位置していてもよい。導電部30は、電極14の領域内にのみ設けてもよい。導電部30は、少なくとも凹部22の上方で突出していてもよい。例えば、導電部30は、パッシベーション膜18より突出していてもよい。

なお、変形例として、外層部32をパッシベーション膜18上に残した状態で、中心部34を形成してもよい。その場合、中心部34と連続した層がパッシベーション膜18の上方にも形成されるので、その層はエッチングする。

図2Dに示すように、導電部30上に、ろう材層36を設けてもよい。ろう材層36は、例えばハンダで形成し、軟ろう及び硬ろうのいずれで形成してもよい。ろう材層36は、導電部30以外の領域をレジストで覆って形成してもよい。以上の工程によって、導電部30によって又はこれにろう材層36を加えてバンプを形成することが

できる。

本実施の形態では、図3Aに示すように、半導体基板10の第2の面（第1の面20とは反対側の面）38を、例えば機械研磨・研削及び化学研磨・研削の少なくとも一つの方法によって削ってもよい。この工程は、凹部22に形成された絶縁層28が露出する手前まで行う。なお、図3Aに示す工程を省略して、次の図3Bに示す工程を行ってもよい。

図3Bに示すように、半導体基板10の第2の面38を、絶縁層28が露出するようにエッチングする。また、導電部30（詳しくはその凹部22内の部分）が絶縁層28に覆われた状態で突出するように、半導体基板10の第2の面38をエッチングする。エッチングは、半導体基板（例えばSiを基材とする。）10に対するエッチング量が絶縁層（例えばSiO<sub>2</sub>で形成されている。）28に対するエッチング量よりも多くなる性質の第1のエッチャントによって行う。第1のエッチャントは、SF<sub>6</sub>又はCF<sub>4</sub>又はCl<sub>2</sub>ガスであってもよい。エッチングは、ドライエッチング装置を使用して行ってもよい。あるいは、第1のエッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液であってもよい。

図3Cに示すように、絶縁層28のうち少なくとも凹部22の底面に形成された部分をエッチングする。そして、導電部30を露出させる。導電部30の先端面が露出し、導電部30の先端部の外周面が絶縁層28に覆われていてもよい。導電部30の外層部32（例えばバリア層）もエッチングしてよい。エッチングは、導電部30に残留物を形成することなく少なくとも絶縁層28をエッチングする性質の第2のエッチャントによって行う。第2のエッチャントは、導電部30の材料（例えばCu）と反応しない（又は反応が低い）ものを使用してもよい。第2のエッチャントは、Ar、CF<sub>4</sub>の混合ガス又はO<sub>2</sub>、CF<sub>4</sub>の混合ガスであってもよい。エッチングは、ドライエッチング装置を使用して行ってもよい。あるいは、第2のエッチャントは、フッ酸液又はフッ酸とフッ化アンモニウムの混合液であってもよい。第2のエッチャントによるエッチングは、第1のエッチャントによるエッチングよりも、半導体基板10に対するエッチング速度が遅くてもよい。

なお、図3A～図3Cの少なくともいずれか1つの工程は、半導体基板10の第1の面20の側に、例えば樹脂層や樹脂テープからなる補強部材を設けて行ってもよい。

以上の工程により、半導体基板10の第2の面38から導電部30を突出させることができる。突出した導電部30は突起電極となる。導電部30は、第1及び第2の面20、38の貫通電極にもなっている。本実施の形態によれば、導電部30を絶縁層28から露出させるときに、導電部30に残留物を残さないのので、高品質の貫通電極を形成することができる。

図4に示すように、半導体基板10が半導体ウエハである場合、それぞれの集積回路12（図1A参照）に対応して凹部22を形成し、半導体基板10を切断（例えばダイシング）してもよい。切断には、カッタ（例えばダイサ）40又はレーザ（例えばCO<sub>2</sub>レーザ、YAGレーザ等）を使用してもよい。

以上の工程により、半導体装置を製造することができる。また、図5に示すように、上述した方法により製造した複数の半導体装置を積層し、導電部30を通してそれぞれの電氣的接続を図ってもよい。本実施の形態は、このような三次元実装を行うときに効果的である。図5に示す半導体装置は、複数の半導体基板10を有する。第1の面20の方向に最も外側（図5では最も下）に位置する半導体基板10は、外部端子（例えばハンダボール）42を有する。外部端子42は、樹脂層（例えば応力緩和層）44上に形成された配線46上に設けられている。配線46は、第1の面20の側で、導電部30に接続されている。

図6には、複数の半導体チップが積層されてなる半導体装置1が実装された回路基板1000が示されている。複数の半導体チップは、上述した導電部30によって電氣的に接続されている。上述した半導体装置を有する電子機器として、図7にはノート型パーソナルコンピュータ2000が示され、図8には携帯電話3000が示されている。

## 25 （第2の実施の形態）

図9A～図9Cは、本発明を適用した第2の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10（詳しくはその第1の面

20) に溝 100 を形成する。溝 100 は、半導体基板 10 の切断ラインに沿って形成する。溝 100 は、切削によって形成してもよいし、エッチングによって形成してもよい。溝 100 は、図 1 C に示す凹部 22 を形成する工程で、凹部 22 と同じプロセスで（例えば同時に）形成してもよい。絶縁層 28 を溝 100 内に設けてもよい。

- 5 溝 100 は、凹部 22 とほぼ同じ深さであってもよいし、凹部 22 よりも深くてもよいし、凹部 22 よりも浅くてもよい。

その後、第 1 の実施の形態で説明した図 3 A～図 3 C に示す工程を行う。図 9 A～図 9 C は、それぞれ、図 3 A～図 3 C に示す工程を行ったときの溝 100 付近の構造を示す図である。例えば、図 3 A に示す工程を行って、半導体基板 10 の第 2 の面 3  
10 8 を絶縁層 28 の手前まで研磨する（図 9 A 参照）。また、図 3 B に示す工程を行って、図 9 B に示すように、溝 100 の底部に形成された絶縁層 28 を、第 2 の面 38 から突出させる。

そして、図 3 C に示す工程を行って、図 9 C に示すように、第 2 のエッチャントによって、溝 100 の底部に形成された絶縁層 28 をエッチングして除去する。こうして、第 2 の面から溝 100 の底部が除去され、溝 100 がスリット 102 となる。す  
15 なわち、半導体基板 100 が、溝 100 に沿って切断される。

本実施の形態によれば、簡単に半導体基板 10 の切断が可能である。また、半導体基板 10 の最終的な切断は、第 2 のエッチャントによって行うので、チップングが生じにくい。さらに、本実施の形態では、溝 100 内に絶縁層 28 を形成するので、半  
20 導体チップは側面に絶縁層 28 を有する。したがって、この半導体チップは、エッジショートが生じにくくなっている。その他の内容は、第 1 の実施の形態で説明した内容が該当する。

### （第 3 の実施の形態）

図 10 A～図 10 B は、本発明を適用した第 3 の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、図 10 A に示すように、溝 100 の  
25 底部を除去する工程を、溝 100 内に半導体基板 10 の材料が露出した状態で行う。例えば、図 1 D に示す絶縁層 28 を凹部 22 内に形成する工程を行った後に溝 100

を形成してもよいし、絶縁層 28 が付着しないように溝 100 内にレジスト等を設けておいてもよいし、溝 100 内に入り込んだ絶縁層 28 を除去してもよい。それ以外の内容は、第 2 の実施の形態で説明した内容が該当する。

本実施の形態では、第 1 の実施の形態で説明した図 3 B の工程を行って、第 1 のエ  
5 ッCHANT によって、半導体基板 10 の一部から構成されてなる溝 100 の底部をエ  
ッチングして除去する。こうして、図 10 B に示すように、第 2 の面から溝 100 の  
底部が除去され、溝 100 がスリット 102 となる。すなわち、半導体基板 100 が、  
溝 100 に沿って切断される。その他の内容は、第 1 及び第 2 の実施の形態で説明し  
た内容が該当する。

10 (第 4 の実施の形態)

図 11 A ~ 図 11 B は、本発明を適用した第 4 の実施の形態に係る半導体装置の製  
造方法を説明する図である。本実施の形態では、図 11 A に示すように、溝 110 を、  
凹部 22 よりも深く形成する。凹部 22 よりも深い溝 110 は、エッチングの性質（幅  
が大きいほど深く進行する性質）を利用して容易に形成することができる。

15 そして、図 11 B に示すように、半導体基板 10 の第 2 の面 38 の研磨（図 3 A を  
使用した説明参照）によって、溝 110 の底部を除去する。こうして、第 2 の面から  
溝 110 の底部が除去され、溝 110 がスリット 112 となる。すなわち、半導体基  
板 100 が、溝 110 に沿って切断される。その他の内容は、第 1、第 2 及び第 3 の  
実施の形態で説明した内容が該当する。また、本実施の形態では、溝 110 内に絶縁  
20 層 28 が形成された状態で半導体基板 10 を切断したが、半導体基板 10 の材料が溝  
110 内に露出した状態で半導体基板 10 の切断を行ってもよい。

(第 5 の実施の形態)

図 12 は、本発明を適用した第 5 の実施の形態に係る半導体装置の製造方法を説明  
する図である。本実施の形態の内容は、第 2 から第 4 のいずれの実施の形態にも適用  
25 することができる。本実施の形態では、溝 120 を、複数の集積回路 12（図 1 A 参  
照）を有する複数の半導体チップを区画する領域のみに形成する。こうすることで、  
半導体基板 10 の不要な部分（例えば外周端部）が、バラバラにならず、製品となる

半導体チップの破損を防止することができる。

(第6の実施の形態)

図13は、本発明を適用した第6の実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を切断する工程を、半導体基板10の第1の面20を保持板130に貼り付けて行う。保持板130は、粘着テープ又は粘着シートであってもよい。これによれば、半導体基板10を切断しても、複数の半導体チップが脱落しない。本実施の形態の内容は、第1から第5のいずれの実施の形態にも適用可能である。

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

## 請 求 の 範 囲

1. (a) 集積回路が形成された半導体基板に第1の面から凹部を形成し、  
(b) 前記凹部の底面及び内壁面に絶縁層を設け、  
5 (c) 前記絶縁層の内側に導電部を設け、  
(d) 前記半導体基板に対するエッチング量が前記絶縁層に対するエッチング量よりも多くなる性質の第1のエッチャントによって、前記半導体基板の前記第1の面とは反対側の第2の面をエッチングし、前記絶縁層にて覆われた状態で前記導電部を突出させ、  
10 (e) 前記導電部に残留物を形成することなく少なくとも前記絶縁層をエッチングする性質の第2のエッチャントによって、前記絶縁層のうち少なくとも前記凹部の前記底面に形成された部分をエッチングして前記導電部を露出させることを含む半導体装置の製造方法。
2. 請求項1記載の半導体装置の製造方法において、  
15 前記第1のエッチャントは、 $\text{SF}_6$ 又は $\text{CF}_4$ 又は $\text{Cl}_2$ ガスである半導体装置の製造方法。
3. 請求項2記載の半導体装置の製造方法において、  
前記(d)工程を、ドライエッチング装置を使用して行う半導体装置の製造方法。
4. 請求項1記載の半導体装置の製造方法において、  
20 前記第1のエッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液である半導体装置の製造方法。
5. 請求項1記載の半導体装置の製造方法において、  
前記第2のエッチャントは、 $\text{Ar}$ 、 $\text{CF}_4$ の混合ガス又は $\text{O}_2$ 、 $\text{CF}_4$ の混合ガスである半導体装置の製造方法。
- 25 6. 請求項5記載の半導体装置の製造方法において、  
前記(e)工程を、ドライエッチング装置を使用して行う半導体装置の製造方法。
7. 請求項1記載の半導体装置の製造方法において、



前記第2のエッチャントは、フッ酸液又はフッ酸とフッ化アンモニウムの混合液である半導体装置の製造方法。

8. 請求項1記載の半導体装置の製造方法において、

前記絶縁層をSiO<sub>2</sub>又はSiNで形成する半導体装置の製造方法。

5 9. 請求項1記載の半導体装置の製造方法において、

前記(e)工程で、前記導電部の外層部もエッチングする半導体装置の製造方法。

10. 請求項9記載の半導体装置の製造方法において、

前記導電部の前記外層部を、中心部とは異なる材料で形成する半導体装置の製造方法。

10 11. 請求項10記載の半導体装置の製造方法において、

前記導電部の前記中心部をCu, W, ドープドポリシリコンのいずれかで形成する半導体装置の製造方法。

12. 請求項10記載の半導体装置の製造方法において、

15 前記導電部の前記外層部の少なくとも一部をTiW、TiNまたはTa<sub>2</sub>N<sub>3</sub>で形成する半導体装置の製造方法。

13. 請求項1記載の半導体装置の製造方法において、

前記(d)工程の前に、前記半導体基板の前記第2の面を前記絶縁層の手前まで研磨することをさらに含む半導体装置の製造方法。

14. 請求項1記載の半導体装置の製造方法において、

20 前記(e)工程のエッチングは、前記(d)工程のエッチングよりも、前記半導体基板に対するエッチング速度が遅い半導体装置の製造方法。

15. 請求項1記載の半導体装置の製造方法において、

前記半導体基板は、半導体ウエハであり、複数の前記集積回路が形成され、それぞれの前記集積回路に対応して前記凹部を形成し、

25 前記半導体基板を切断することをさらに含む半導体装置の製造方法。

16. 請求項15記載の半導体装置の製造方法において、

前記半導体基板を切断する工程は、

前記第 1 の面に、前記半導体基板の切断ラインに沿った溝を形成すること、及び、前記溝がスリットとなるように、前記第 2 の面から前記溝の底部を除去すること、を含む半導体装置の製造方法。

1 7. 請求項 1 6 記載の半導体装置の製造方法において、

5 前記溝を切削によって形成する半導体装置の製造方法。

1 8. 請求項 1 6 記載の半導体装置の製造方法において、

前記溝をエッチングによって形成する半導体装置の製造方法。

1 9. 請求項 1 6 記載の半導体装置の製造方法において、

10 前記 (a) 工程で、前記溝を前記凹部と同じプロセスで形成する半導体装置の製造方法。

2 0. 請求項 1 6 記載の半導体装置の製造方法において、

前記 (d) 工程の前に、前記半導体基板の前記第 2 の面を前記絶縁層の手前まで研磨することをさらに含み、

前記溝を、前記凹部よりも深く形成し、

15 前記半導体基板の前記第 2 の面の研磨によって、前記溝の底部を除去する半導体装置の製造方法。

2 1. 請求項 1 6 記載の半導体装置の製造方法において、

前記 (b) 工程で、前記絶縁層を前記溝内にも設ける半導体装置の製造方法。

2 2. 請求項 2 1 記載の半導体装置の製造方法において、

20 前記 (d) 工程で、前記溝の底部に形成された前記絶縁層を、前記第 2 の面から突出させ、

前記 (e) 工程で、前記第 2 のエッチャントによって、前記溝の底部に形成された前記絶縁層をエッチングして除去する半導体装置の製造方法。

2 3. 請求項 1 6 記載の半導体装置の製造方法において、

25 前記溝の底部を除去する工程を、前記溝内に、前記半導体基板の材料が露出した状態で行う半導体装置の製造方法。

2 4. 請求項 2 3 記載の半導体装置の製造方法において、

前記（d）工程で、前記第１のエッチャントによって、前記半導体基板の一部から構成されてなる前記溝の底部をエッチングして除去する半導体装置の製造方法。

２５．請求項１６記載の半導体装置の製造方法において、

前記半導体基板を切断する工程を、切断された複数の半導体チップが脱落しないように、前記半導体基板の前記第１の面を保持板に貼り付けて行う半導体装置の製造方法。

２６．請求項１６記載の半導体装置の製造方法において、

前記溝を、前記複数の集積回路を有する複数の半導体チップを区画する領域のみに形成する半導体装置の製造方法。

１０ ２７．請求項１から請求項２６のいずれかに記載の方法により製造された複数の半導体装置を積層し、前記導電部を通して電気的接続を図ることを含む半導体装置の製造方法。

２８．請求項１から請求項２６のいずれかに記載の方法によって製造されてなる半導体装置。

１５ ２９．請求項２７記載の方法によって製造されてなる半導体装置。

３０．請求項２８記載の半導体装置が実装されてなる回路基板。

３１．請求項２９記載の半導体装置が実装されてなる回路基板。

３２．請求項２８記載の半導体装置を有する電子機器。

３３．請求項２９記載の半導体装置を有する電子機器。

1/10

FIG. 1 A

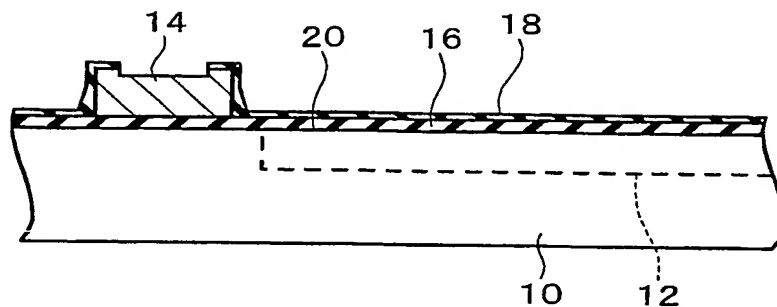


FIG. 1 B

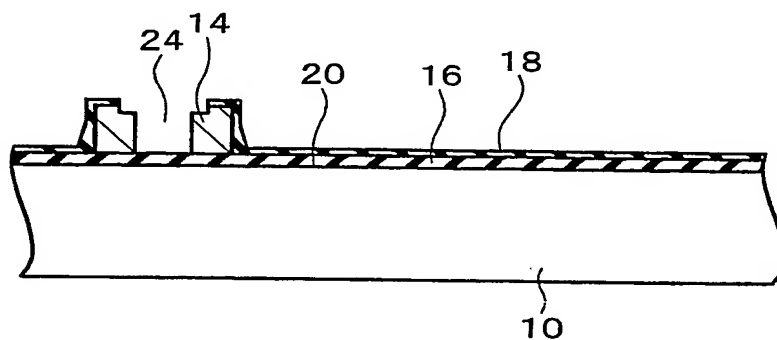


FIG. 1 C

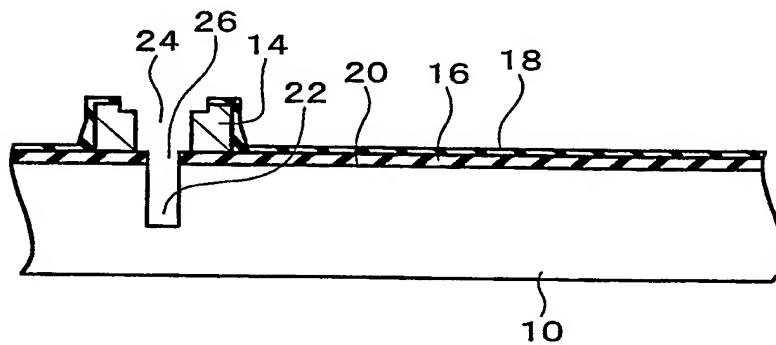
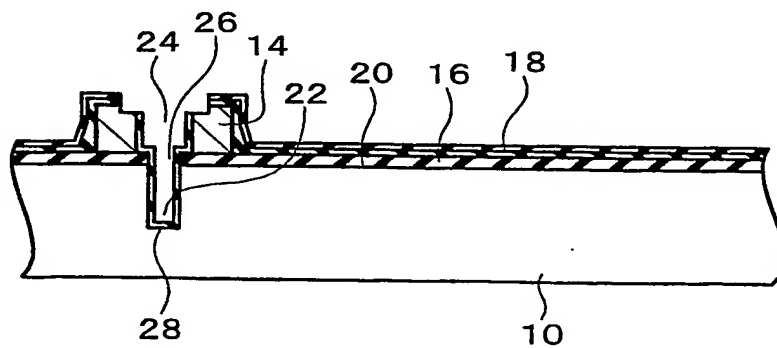


FIG. 1 D



2/10

FIG. 2 A

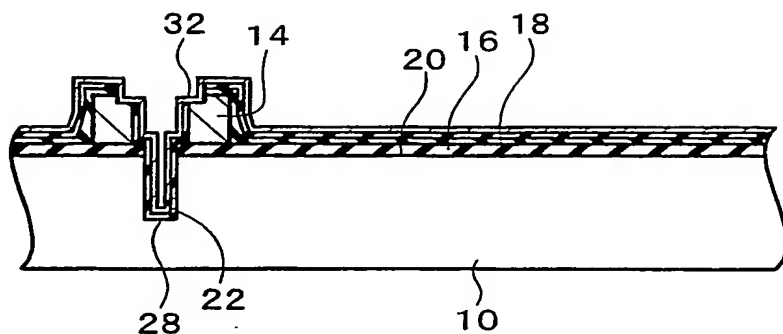


FIG. 2 B

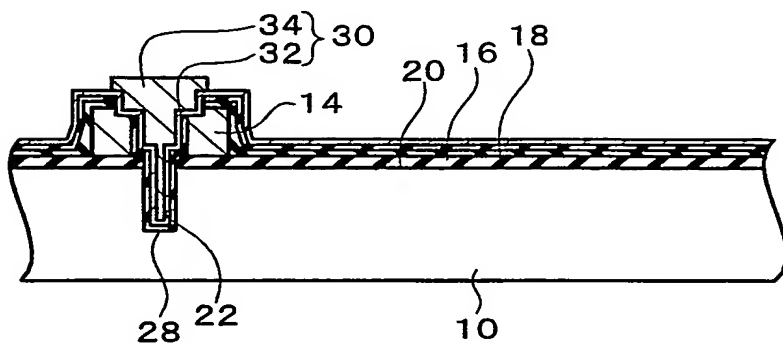


FIG. 2 C

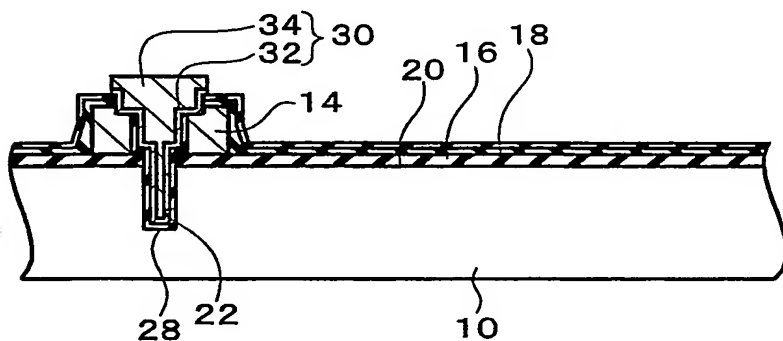
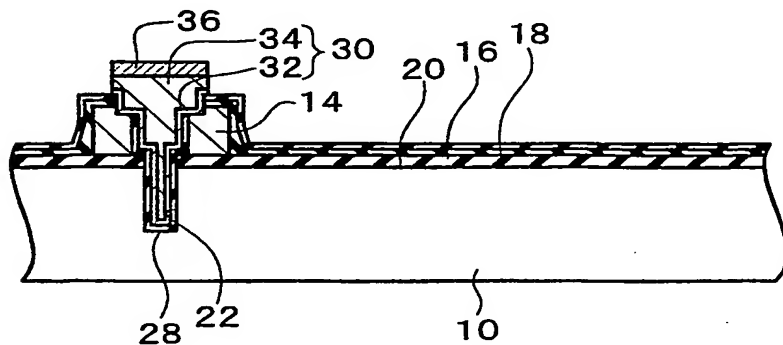
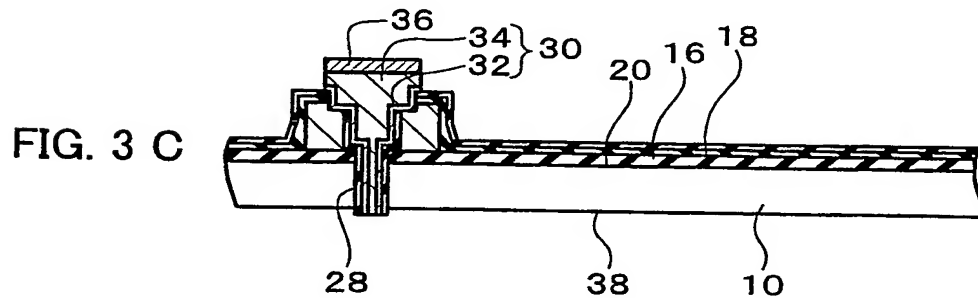
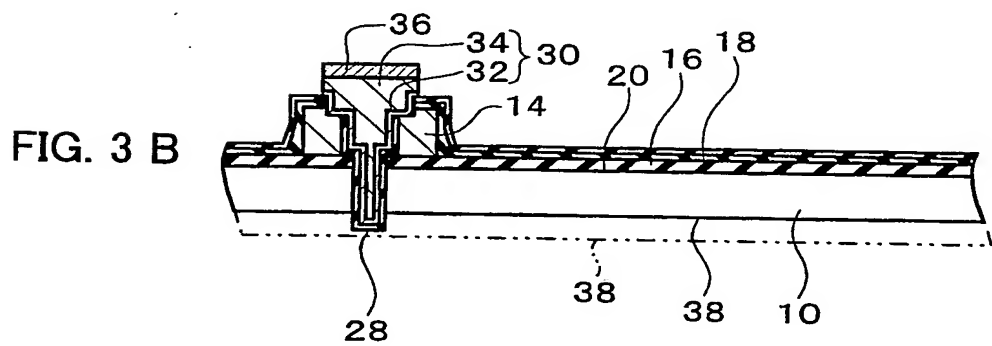
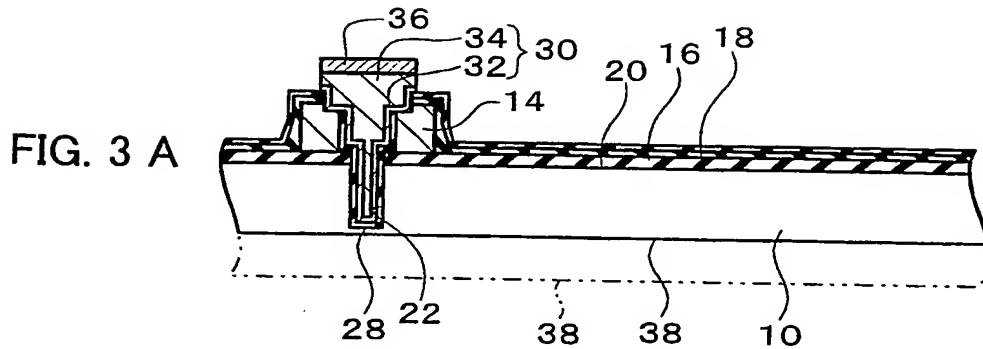


FIG. 2 D

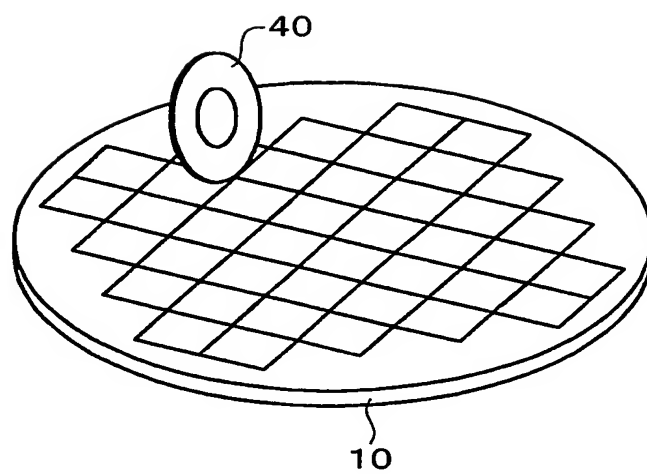


3/10



4/10

FIG. 4



5/10

FIG. 5

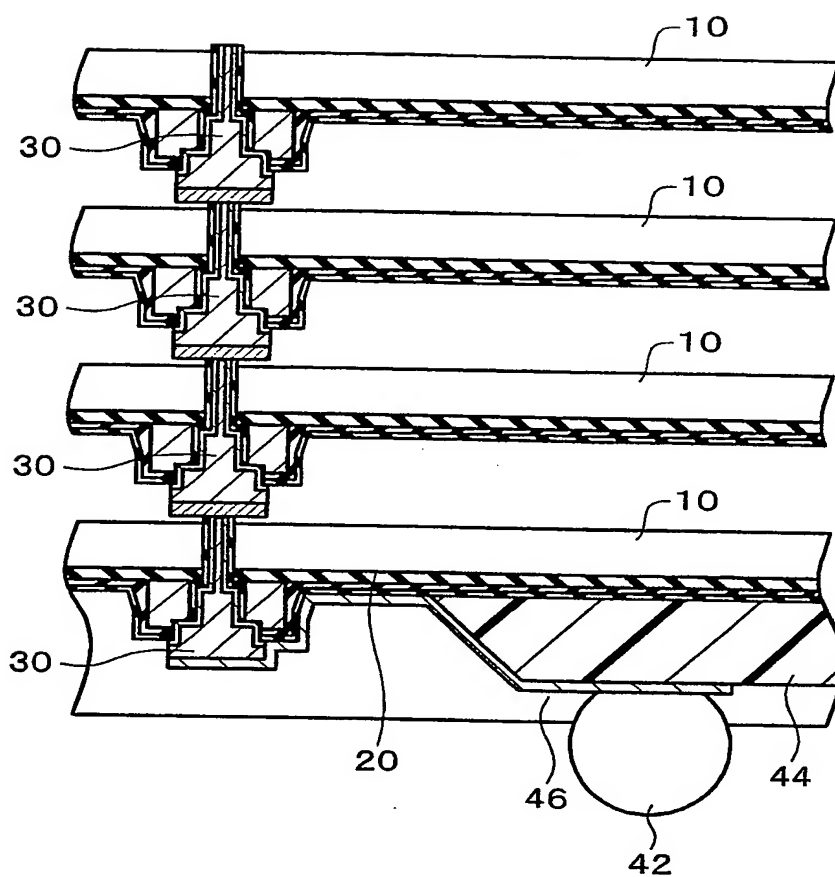
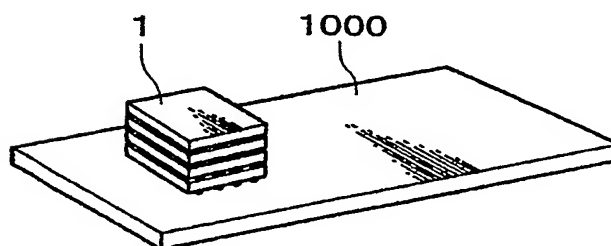


FIG. 6





6/10

FIG. 7

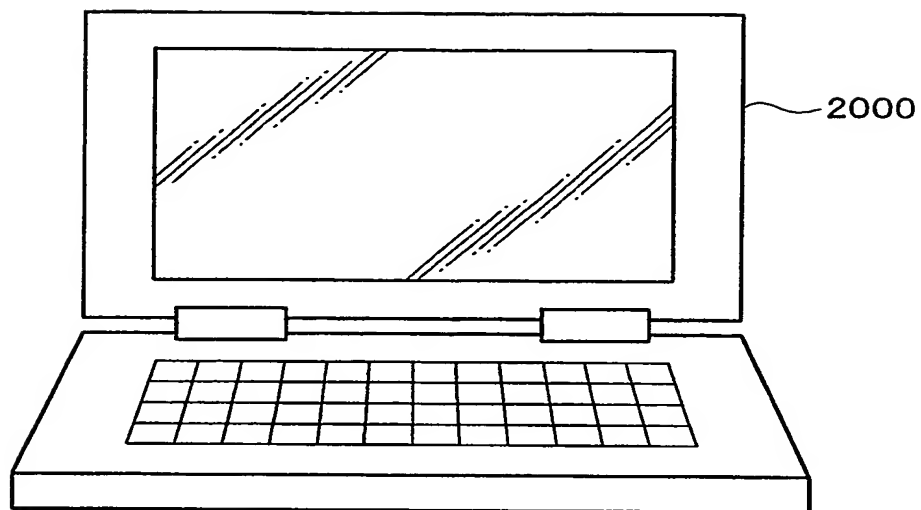


FIG. 8

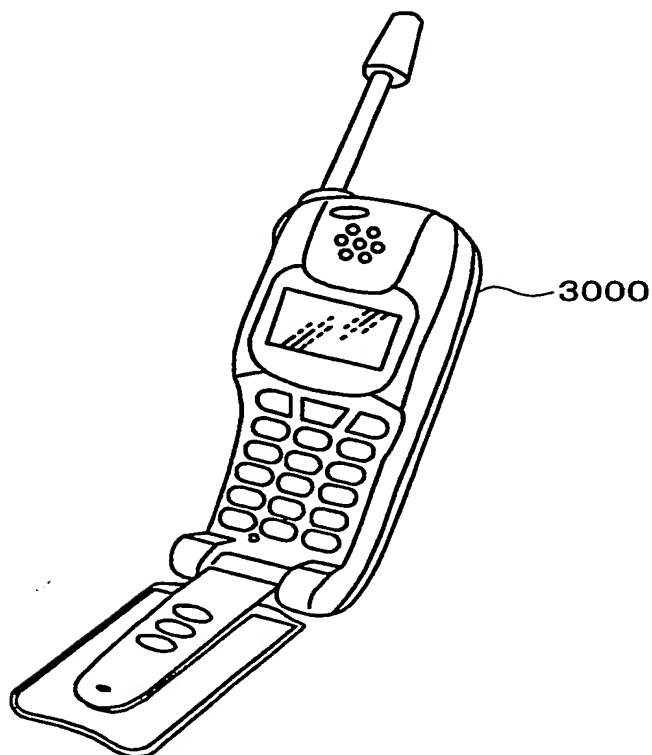


FIG. 9 A

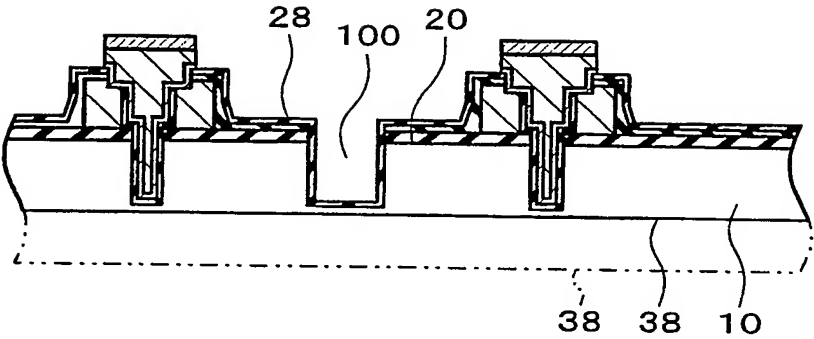


FIG. 9 B

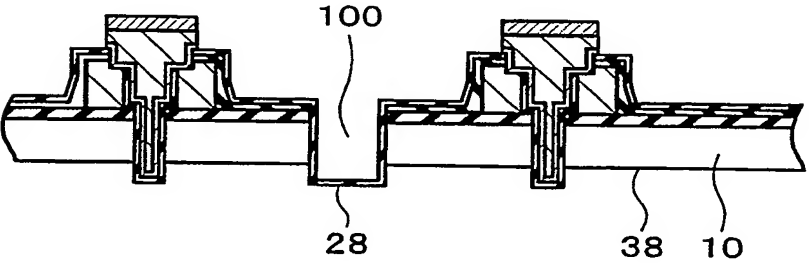
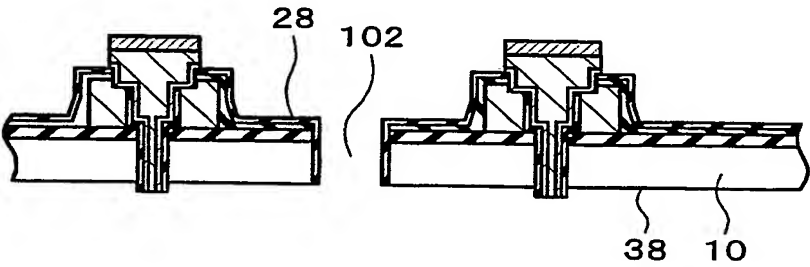
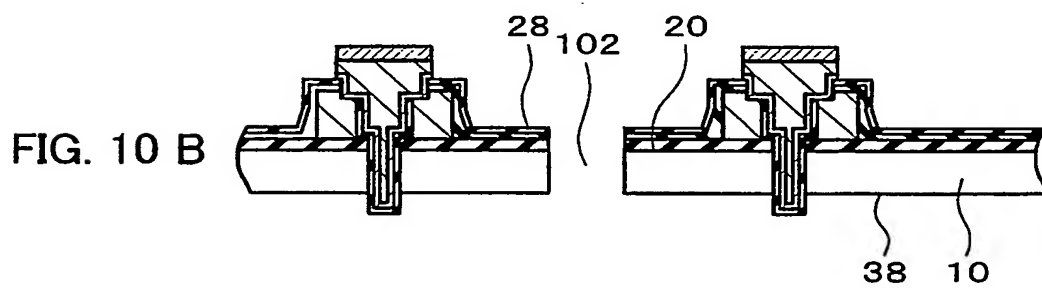
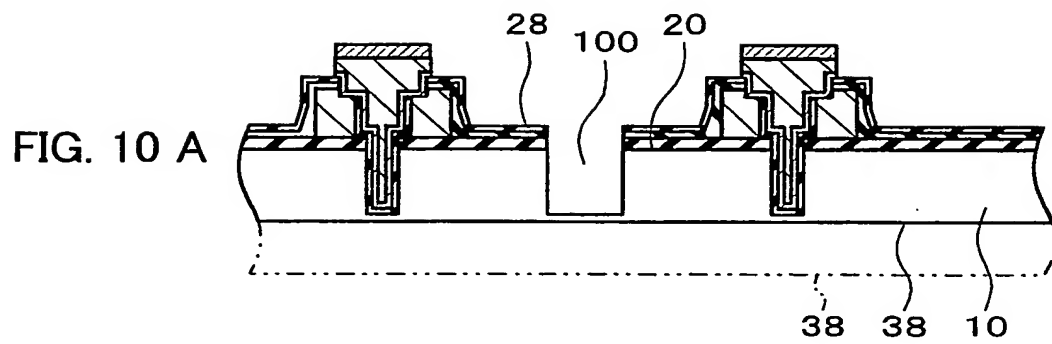


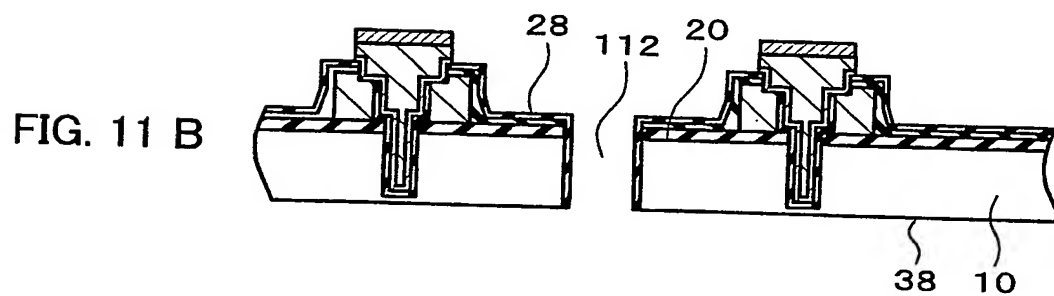
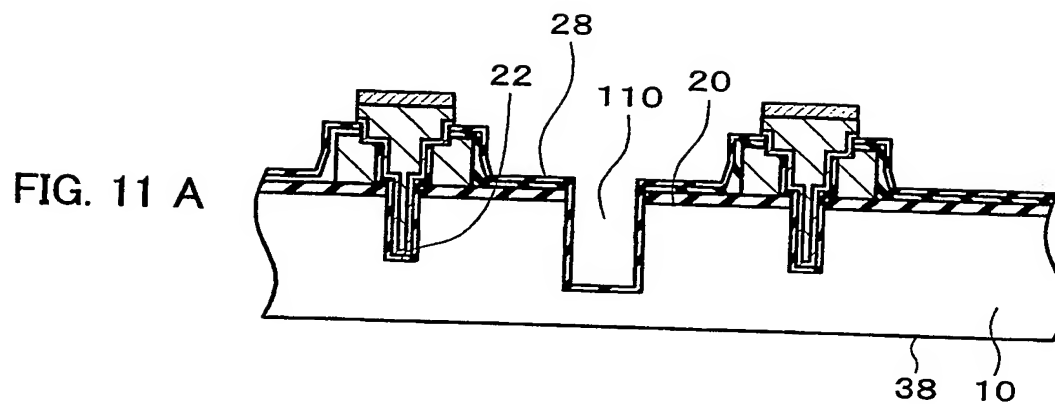
FIG. 9 C



8/10



9/10



10/10

FIG. 12

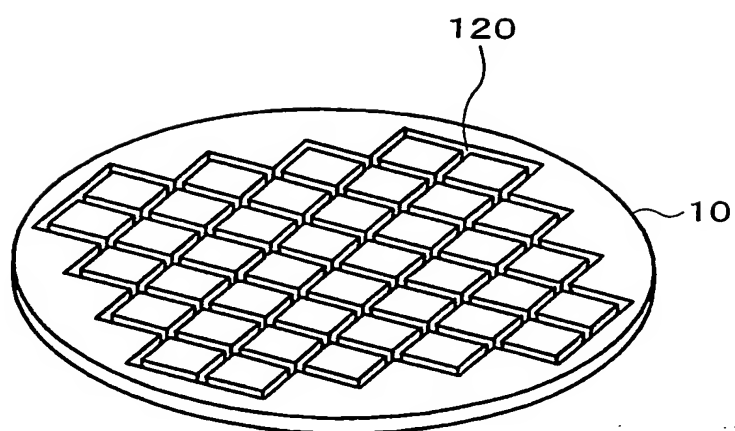
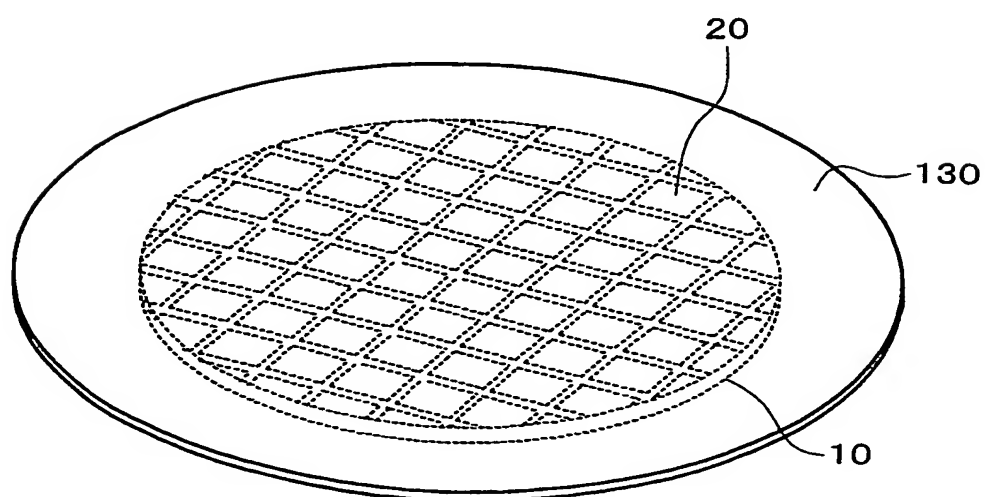


FIG. 13



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03302

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H01L21/768, H01L25/065, H01L27/00

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L21/768, H01L25/065, H01L27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 60-7148 A (NEC Corp.), 14 January, 1985 (14.01.85),	1, 4, 7, 8, 13,
Y	Full text; Figs. 1 to 9 (Family: none)	14, 27-33
		2, 3, 5, 6,
		9-12, 15-26
X	JP 60-7149 A (NEC Corp.), 14 January, 1985 (14.01.85),	1, 4, 7, 8, 13,
Y	Full text; Figs. 1 to 9 (Family: none)	14, 27-33
		2, 3, 5, 6,
		9-12, 15-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
19 June, 2003 (19.06.03)

Date of mailing of the international search report  
01 July, 2003 (01.07.03)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1998)

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/03302

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 98/19337 A1 (TRUST TECHNOLOGIES, LLC), 07 May, 1998 (07.05.98), Full text; Figs. 1 to 18 & JP 2000-510288 A Full text; Figs. 1 to 18 & EP 948808 A1 & US 2002/0013061 A1 & US 2002/0063311 A1 & US 2002/0084513 A1 & US 2002/0127868 A1	1-14, 27-33
Y	JP 2001-326325 A (Seiko Epson Corp.), 22 November, 2001 (22.11.01), Full text; Figs. 1 to 5 (Family: none)	1-33
Y	JP 2001-53218 A (Toshiba Corp.), 23 February, 2001 (23.02.01), Full text; Figs. 1 to 4 (Family: none)	1-33
A	US 5767001 A (SIEMENS AG.), 16 June, 1998 (16.06.98), Full text; Figs. 1 to 8 & JP 8-510360 A Full text; Figs. 1 to 8 & EP 698288 A1 & WO 94/25981 A1	1-33

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/768, H01L25/065, H01L27/00

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H01L21/768, H01L25/065, H01L27/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 60-7148 A (日本電気株式会社) 1985.01.14, 全文, 第1-9図 (ファミリーなし)	1, 4, 7, 8, 13,
Y		14, 27-33
X	JP 60-7149 A (日本電気株式会社) 1985.01.14, 全文, 第1-9図 (ファミリーなし)	2, 3, 5, 6, 9-12
Y		, 15-26

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献  
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」 同一パテントファミリー文献

国際調査を完了した日

19.06.03

国際調査報告の発送日

01.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

齋藤 恭一



4L

8122

電話番号 03-3581-1101 内線 3498



様式PCT/ISA/210 (第2ページの続き) (1998年7月)

**THIS PAGE BLANK (USPTO)**